

# Diseño y análisis de un PWM adaptado para propósitos educativos

Cristian A. Morales M.\*

Miguel A. Redondo T.\*\*

## Resumen

El presente artículo tiene como fin documentar el diseño y desarrollo de un PWM (*pulse width modulation*) a medida, para aplicaciones de investigación y educación especializadas en electrónica y control de máquinas eléctricas. A partir de una amplia investigación, se definieron los requerimientos funcionales del prototipo. Luego, mediante Verilog, se diseñó el PWM a bajo nivel con parámetros operativos específicos (no comerciales). Entre las ventajas del diseño es de mencionar su capacidad de ajuste y programación, ideal para dar un acercamiento a las personas que aún no conocen el manejo del PWM. El prototipo se implementó y evaluó sobre los bloques digitales de la tarjeta de desarrollo PSoC CY8CKIT-059 5LP.

**Palabras clave:** frecuencia, modulación por ancho de pulso, pulso, reloj, resolución

## Abstract

The purpose of this article is to document the design and development of a custom PWM (Pulse Width Modulation), for research and education applications specialized in electronics and control of electrical machines. Based on extensive research, the functional requirements of the prototype were defined. Then, using Verilog, the PWM is designed at a low level with specific operational parameters (non-commercial). Among the advantages of the design is its adjustment and programming capacity, ideal to give an approach to people who still do not know the handling of PWM. The prototype was implemented and evaluated on the digital blocks of the PSoC development board PSoC CY8CKIT-059 5LP.

**Keywords:** Clock, Frequency, Pulse, Pulse Width Modulation, Resolution

\* Universidad Francisco José de Caldas. Contacto: camoralesm@correo.udistrital.edu.co

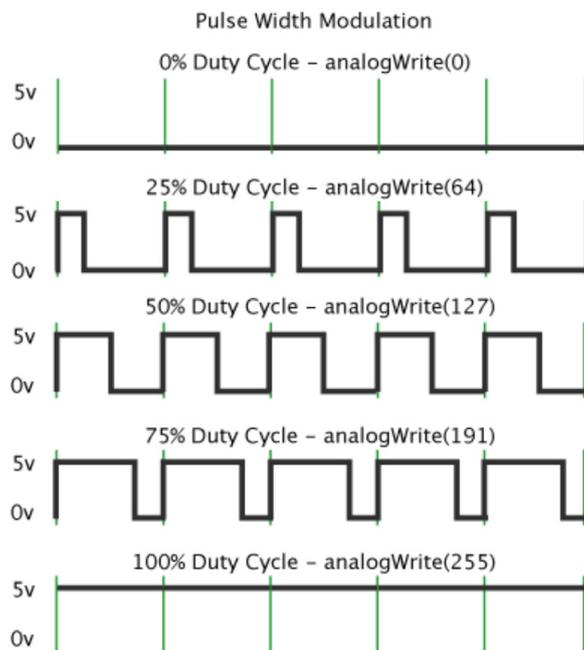
\*\* Universidad Francisco José de Caldas. Contacto: maredondot@correo.udistrital.edu.co

## Introducción

El PWM (modulación por ancho de pulsos o *pulse width modulation* por sus siglas en inglés) es una tecnología de gran impacto para muchos fines industriales. En la actualidad existen muchos circuitos integrados en los que se implementa la modulación PWM, además de otros muy

particulares para lograr circuitos funcionales que puedan controlar fuentes conmutadas, controles de motores, controles de elementos termoeléctricos, *choppers* para sensores en ambientes ruidosos y algunas otras aplicaciones (figura. 1).

Figura 1. Ciclos de trabajo de un PWM



Fuente: modificado a partir de @Rufian (2016, s. p.)

Compañías como Texas Instruments, National Semiconductor, Maxim, y algunas otras más se distinguen por fabricar este tipo de integrados. En esencia, la estrategia permite modificar el ciclo de trabajo de una señal periódica, ya sea para controlar la cantidad de energía que se le puede entregar a una carga o su efecto relacionado. Se varía la frecuencia, lo que provoca un cambio en el voltaje promedio de la salida. Esto resulta ser más eficiente que una solución lineal, como sería, por ejemplo, usar un potenciómetro, porque la conmutación idealmente produce cero

consumo de potencia en operación, lo que no es posible con ningún circuito lineal.

Precisamente, este tipo de investigaciones requieren un PWM de alto grado de configuración. Por ejemplo, se han propuesto nuevos métodos de diseño optimizado para el filtro de CA y la frecuencia de conmutación de inversores conectados en paralelo con modulación de ancho de pulso síncrono global (GSPWM) para mejorar la eficiencia o reducir el costo del equipo (Trentin *et al.*, 2012).

Otros esquemas modernos proponen un PWM de cambio de fase novedoso y el enfoque de diseño para el convertidor ANPC, con el fin de manejar estos dos problemas simultáneamente. La idea propuesta permite el diseño modular PWM de desplazamiento de fase basado en el concepto de grupo de interruptores (Pulikanti, Konstantinou y Agelidis, 2012).

En este caso, como en otras aplicaciones de corrección activa, el PWM ayuda a la reducción de los efectos de distorsión para regular el voltaje de salida, con lo que se aprovecha mejor la potencia. En esta aplicación, el flujo de potencia depende de las variaciones del clima y tiene que estar cambiando de interruptores y usar diferentes configuraciones. En muchas otras aplicaciones, se tienen dependencias similares que requieren del control avanzado del PWM.

El funcionamiento de inversores convencionales como el inversor multinivel en cascada (MLI), el inversor multinivel con abrazadera de diodo y el inversor multinivel con condensador volante depende de las diversas técnicas de modulación de ancho de pulso. La representación binaria de los métodos PWM ayuda al investigador a analizar la secuencia de conmutación y el patrón de pulso de varios RSMLI con diferentes niveles de voltaje de salida (Prabaharan, Fathima, y Palanisamy, 2015).

Con el fin de reducir los armónicos de conmutación de alta frecuencia de los convertidores de puente H en cascada (CHB), se ha estudiado ampliamente la modulación de ancho de pulso por desplazamiento de fase utilizando un controlador centralizado. Estos son dispositivos digitales que sacan mucho provecho del carácter discreto del PWM (Ninad y Lopes, 2012).

Una estrategia de comunicación muy interesante hoy en día que aprovecha el *hardware* existente es la tecnología de comunicación por línea eléctrica (PLC). Hay desarrollos donde se propone una solución de comunicación PLC entre un convertidor y un motor a través de un cable de longitud variable (Haidine *et al.*, 2011). En los métodos convencionales de control directo de potencia (DPC), las corrientes de la red están muy distorsionadas y se presenta una ondulación sustancial en la tensión del bus de CC en condiciones de red distorsionadas y desequilibradas. Para mejorar la robustez del DPC propuesto contra las variaciones de inductancia, se propone una técnica de identificación de inductancia en línea basada en el método de corrección de gradiente y se combina con el DPC propuesto (Song *et al.*, 2016).

Los motores sin escobillas han encontrado en movilidad un gran nicho con alta dinámica y desarrollo reciente. Una estrategia reciente es el método de control de modulación por ancho de pulso híbrido, diseñado para su uso en un sistema de accionamiento de motor de CC sin escobillas de alta velocidad (BLDC) que utiliza medición de corriente de derivación simple de enlace CC (Talebi, Nikbakhtian y Toliyat, 2007).

En iluminación, los LED son dispositivos semiconductores que se comportan como una carga de voltaje constante con baja resistencia en serie equivalente (ESR). En el controlador, la lámpara LED es impulsada por dos fuentes de voltaje conectadas en serie a través de un circuito resonante en serie (Cha, Kwon y Kwon, 2016). El control se realiza con un PWM y nuevamente el alto desarrollo en aplicaciones y esquemas eficientes hace necesario un equipo de gran versatilidad.

En cuanto a formación específica, muchos laboratorios han optado por estrategias de formación que priorizan el diseño y la implementación en laboratorio sobre prototipos reales, dado que esta interacción favorece la aprehensión de

conceptos, así como la motivación del estudiante (Sahay, 2011). Módulos de bajo costo y alto desempeño bien favorecen estas estrategias sin la exigencia de equipos costosos y especializados.

## Formulación del problema

Principalmente, queremos determinar si es viable y posible la implementación de este PWM en la tarjeta PSoC 5LP. Usaremos el simulador EDA Playground para determinar qué funcionamiento tiene, a partir de los respectivos parámetros de diseño planteados desde un inicio del trabajo. Los cambios se harán con pulsadores: se variará la frecuencia y observará el respectivo

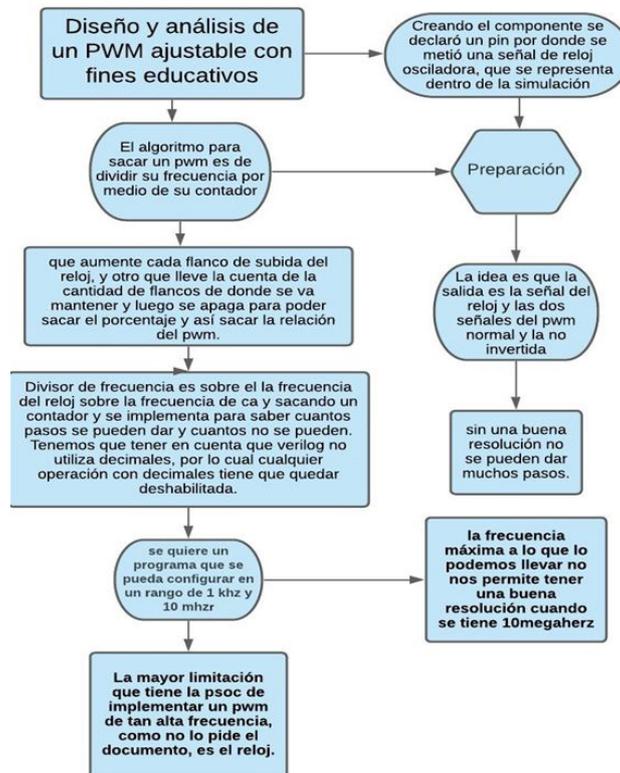
comportamiento para analizar los cambios según la frecuencia y de acuerdo al ciclo de trabajo. Adicionalmente, el artículo pretende dar un acercamiento detallado a las personas que están en etapa formativa para que comprendan qué es un PWM, las aplicaciones en las que se usa, y para que se motiven a realizar investigaciones autónomas.

## Métodos

- La frecuencia del PWM se configura con dos pulsadores: uno de ellos debe incrementar el valor de frecuencia y el otro hacer la tarea inversa. Las señales se visualizan en la salida del respectivo simulador y los incrementos y decrementos permiten configurar la frecuencia.
- El ciclo útil (*duty cycle*) se controla con otro pulsador.
- Los ajustes al PWM se accionan al presionar otro pulsador llamado SET.
- El sistema posee otra salida que está negada a como esta implementada la original.

A continuación, se observa un diagrama que exhibe la reflexión alrededor de la estructura y el diseño del programa PWM (figura 2).

Figura 2. Proceso de creación de PWM

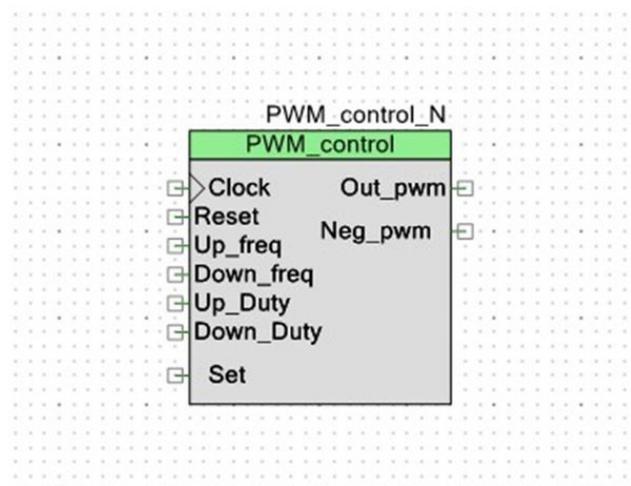


Fuente: elaboración propia.

El diseño se desea evaluar sobre la tarjeta de desarrollo PSoC 5LP. Para esta implementación es

necesario crear el elemento con las respectivas entradas y salidas (figura 3).

Figura 3. Elemento creado PSoC Creator.

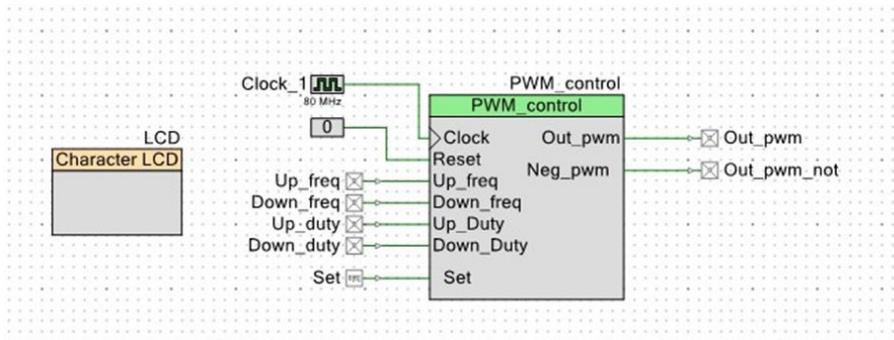


Fuente: elaboración propia.

Se declaró un pin por donde se alimenta a través de una señal de reloj osciladora (*clock*). El algoritmo para crear un PWM resulta de dividir la respectiva frecuencia por medio de un contador que aumente en cada flanco de subida del reloj.

Adicionalmente, otro contador lleva la cuenta de la cantidad de flancos donde se va a mantener. Luego se apagará para sacar los porcentajes de los flancos de subida del reloj, con lo que se obtiene la relación del PWM (figura 4).

Figura 4. Elemento en el esquemático PSoC Creator



Fuente: elaboración propia.

El código principal final, desarrollado en Verilog, muestra todas las respectivas entradas y salidas (figura 5).

Figura 5. Código principal en Verilog

```

1 // Code your design here
2 module temporizer(clk,reset,timer_out,timer_out_neg,up_freq,down_freq);
3   output timer_out;
4   output timer_out_neg;
5   input  clk;
6   input  reset;
7   input  up_freq;
8   input  down_freq;
9
10  integer count,rangeDuty,rangeFreq;
11  initial begin
12    count = 0;
13    rangeDuty = 5;
14    rangeFreq = 10;
15  end
16
17  always @(posedge clk) begin
18    if(reset == 1'b1)
19      count = count + 1;
20    else
21      count = 0;
22      if(count > rangeFreq) begin
23        count = 0;
24      end
25    end
26  end
27
28  always @(posedge up_freq) begin
29    rangeFreq = rangeFreq + 10;
30  end
31
32  always @(posedge down_freq) begin
33    rangeFreq = rangeFreq - 10;
34  end
35
36  assign timer_out = (count < rangeDuty) ? 1:0;
37  assign timer_out_neg = ~timer_out;
38
39  endmodule

```

Fuente: elaboración propia.

Para la respectiva simulación en EDA Playground, se desarrolló el código de verificación, también en Verilog, con una modificación: se

dispusieron las entradas como salidas y viceversa (figura 6).

Figura 6. Código Simulación de entradas EDA Playground

```
1 // Code your testbench here
2 // or browse Examples
3 timescale 1ns/1ps
4 module component01;
5
6 wire timer_out_neg;
7 wire timer_out;
8 reg clk;
9 reg reset;
10 reg up_freq;
11 reg down_freq;
12 // #start body -- edit after this line, do not edit this line
13
14 // Your code goes here
15 temporizer temporizer(
16     .clk(clk),
17     .reset(reset),
18     .timer_out(timer_out),
19     .timer_out_neg(timer_out_neg),
20     .up_freq(up_freq),
21     .down_freq(down_freq)
22 );
23
24 initial begin
25     $dumpfile("dump.vcd");
26     $dumpvars(0);
27
28     clk = 1'b0;
29     reset = 1'b1;
30     up_freq = 1'b0;
31     down_freq = 1'b0;
32     #100
33     up_freq = 1'b1;
34     #2
35     up_freq = 1'b0;
36     #200
37     up_freq = 1'b1;
38     #2
39     up_freq = 1'b0;
40     #300
41     up_freq = 1'b1;
42     #2
43     up_freq = 1'b0;
44     #400
45     up_freq = 1'b1;
46     #2
47     up_freq = 1'b0;
48     #500
49     up_freq = 1'b1;
50     #2
51     up_freq = 1'b0;
52     #500
53     down_freq = 1'b1;
54     #2
55     down_freq = 1'b0;
56     #400
57     down_freq = 1'b1;
58     #2
59     down_freq = 1'b0;
60     #300
61     down_freq = 1'b1;
62     #2
63     down_freq = 1'b0;
64     #300
65     down_freq = 1'b1;
66     #2
67     down_freq = 1'b0;
68     #200
69     down_freq = 1'b1;
70     #2
71     down_freq = 1'b0;
72     #100
73     down_freq = 1'b1;
74     #2
75     down_freq = 1'b0;
76
77     $finish;
78 end
79 // #end -- edit above this line, do not edit this line
80 always #1 clk = ~clk;
81
82 endmodule
```

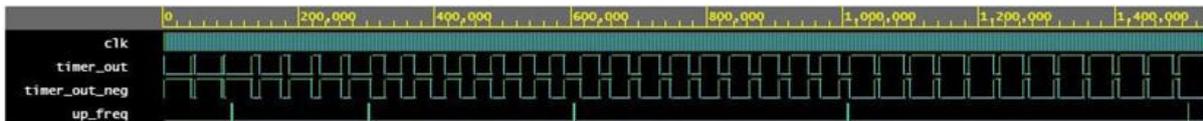
Fuente: elaboración propia.

## Resultados

En las figuras 7 a 10, se muestran los resultados de las curvas de salida del prototipo PWM capturadas en el simulador EDA Playground. Estas

curvas demuestran el comportamiento esperado del sistema, coherente con el perfil inicial.

**Figura 7.** Ciclo de trabajo 25 %



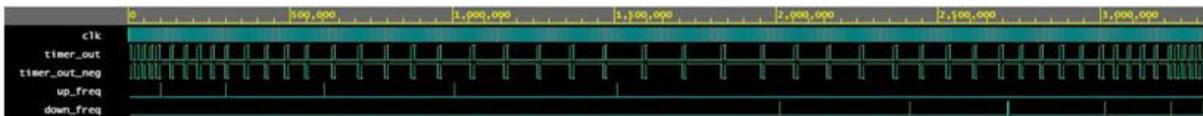
Fuente: elaboración propia.

**Figura 8.** Ciclo de trabajo 50 %



Fuente: elaboración propia.

**Figura 9.** Ciclo de trabajo 75 %



Fuente: elaboración propia.

**Figura 10.** Ciclo de trabajo 100 %



Fuente: elaboración propia.

## Conclusiones

- El sistema en la tarjeta se lidia con frecuencias altas que limitan los pasos en la PSoC. Algunos módulos de usuarios requieren más de un bloque para su implementación. A su vez, algunos de sus modelos multibloques necesitan entradas de reloj individuales para ajustarse a la misma fuente de reloj.
- No es posible implementar este PWM en la tarjeta PSoC, debido a que los valores que exige el diseño no son posibles de crear, pues los limita el CLK -en frecuencias tan grandes se pierde resolución y no se podrían dar grandes pasos de frecuencia-.
- El prototipo sobre la PSoC permite variaciones y ajustes de 0 al 100% tan solo limitado en frecuencia por la capacidad del PSoC. En este sentido, resulta de gran utilidad en el diseño de convertidores de potencia con diferentes esquemas de control. Se propone en su siguiente etapa cambiar la plataforma digital por un CPLD o FPGA, e incluir visualización en pantalla.

## Referencias

- @Rufian. (3 de enero del 2016). ¿Qué es un PWM y cómo funciona en Arduino? [entrada de blog]. *Rufian en la Red*. Recuperado de <https://rufianenlared.com/que-es-pwm/>
- Cha, W., Kwon, J. y Kwon, B. (2016). Highly Efficient Asymmetrical PWM Full-Bridge Converter for Renewable Energy Sources. *IEEE Transactions on Industrial Electronics*, 63(5), 2945-2953. Recuperado de <https://ieeexplore.ieee.org/document/7360928>
- Haidine, A., Adebisi, B., Treytl, A., Pille, H., Honary, B. y Portnoy, A. (2011). High-speed narrow-band PLC in smart grid landscape. State of the art. En *2011 IEEE International Symposium on Power Line Communications and its Applications* (pp. 468-473). Recuperado de DOI: 10.1109/ISPLC.2011.5764443
- Ninad, N. y Lopes, L. (2012). A Vector-Controlled Single-Phase Voltage Source Inverter Based Grid Interface Suitable for Variable Frequency Operation in Autonomous Microgrids. *Electric Power Components and Systems*, 40(11), 1266-1284. Recuperado de <https://doi.org/10.1080/15325008.2012.689416>
- Prabaharan, N., Fathima, A. y Palanisamy, K. (2015). New Hybrid Multilevel Inverter Topology with Reduced Switch Count Using Carrier Based Pulse Width Modulation Technique. En J. Bahru (ed.), *2015 IEEE Conference on Energy Conversion (CENCON)* (pp. 176-180). Recuperado de DOI: 10.1109/CENCON.2015.7409535.
- Pulikanti, S., Konstantinou, G. y Agelidis, V. (2012). Generalization of Flying Capacitor-Based Active-Neutralpoint Clamped Multilevel Converter Using Voltage-Level Modulation. *IET Power Electronics*, 5(4), 456-466. Recuperado de DOI: 10.1049/iet-pel.2010.0373

- 
- Sahay, W. (2011). Pattern Separation: A Common Function for New Neurons in Hippocampus and Olfactory Bulb. *PMC*, 70(4), 582-588. Recuperado de <https://n9.cl/yk7r8>
- Song, W., Deng, Z., Wang, S. y Feng, X. (2016). A Simple Model Predictive Power Control Strategy for Single-Phase PWM Converters with Modulation Function Optimization. *IEEE Transactions on Power Electronics*, 31(7), 5279-5289. Recuperado de <https://ieeexplore.ieee.org/document/7274743>
- Talebi, S., Nikbakhtian, B. y Toliyat, H. (2007). A novel algorithm for designing the Pid Controllers of High-Speed Flywheels for Traction Applications. En *2007 IEEE Vehicle Power and Propulsion Conference* (pp. 574-579). Arlington, Texas. Recuperado de DOI: 10.1109/VPPC.2007.4544188
- Trentin, A., Zanchetta, P., Clare, J. y Wheeler, P. (2012). Automated Optimal Design of Input Filters for Direct AC/AC Matrix Converters. *IEEE Transactions on Industrial Electronics*, 59(7), 2811-2823. Recuperado de DOI: 10.1109/TIE.2011.2163283